|  |  |
| --- | --- |
| ДИСЦИЛИНА | **Схемотехника устройств компьютерных систем Часть 2** |
|  |  |
| ИНСТИТУТ | **ИТ** |
| КАФЕДРА | **вычислительной техники** |
|  |  |
| ВИД УЧЕБНОГО | **Лекция** |
| МАТЕРИАЛА |  |
| ПРЕПОДАВАТЕЛЬ | **Тарасов И.Е.** |
|  |  |
| СЕМЕСТР | 3 |
|  |  |

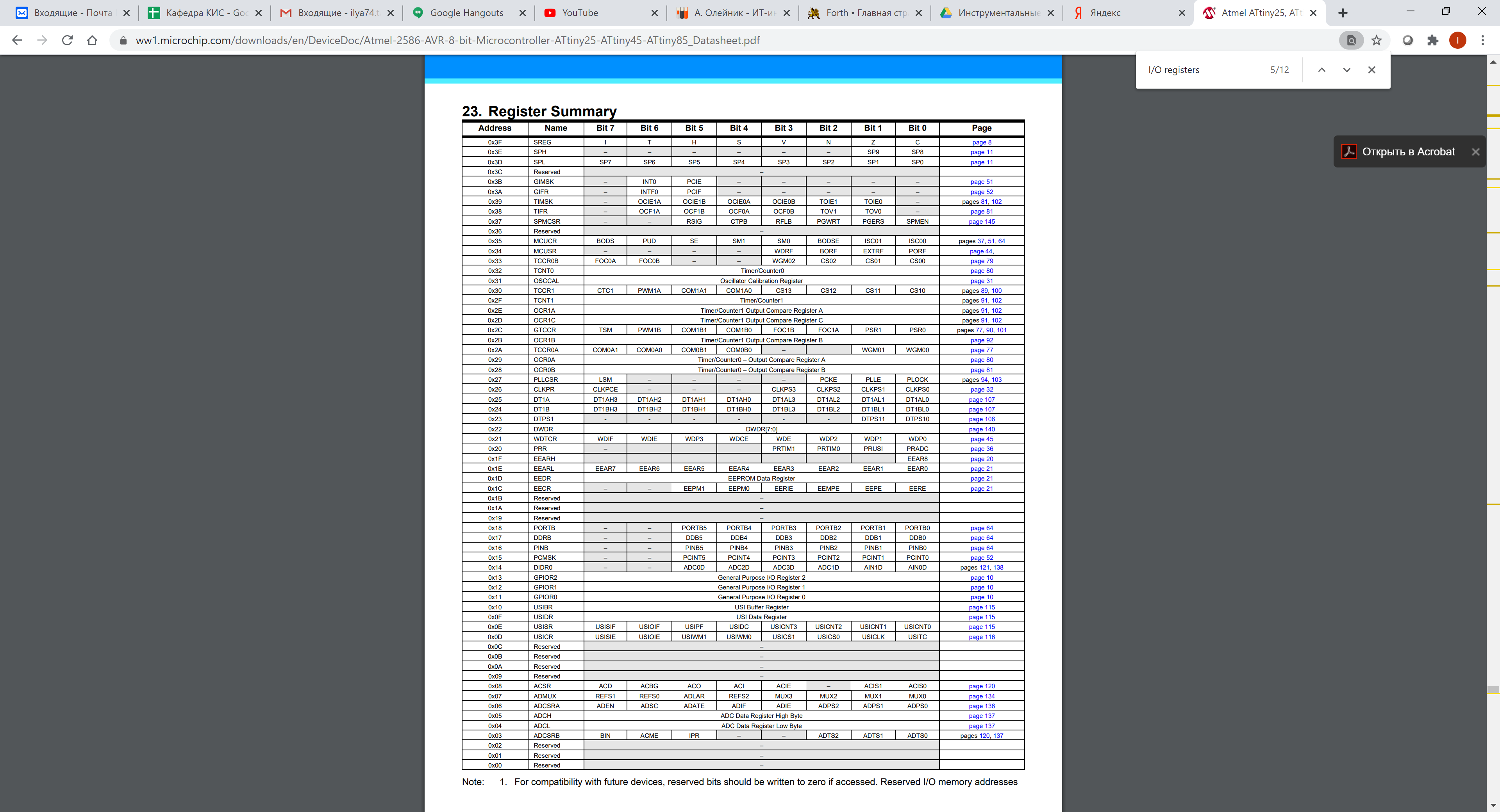
2

13. Системные шины процессорных устройств

13.1. Системная шина в компьютерной системе.

Системная шина является неотъемлемой частью проекта на базе процессора и служит для соединения процессорного ядра и периферийных устройств. После работ по созданию ядра необходимо обеспечить его подключение к периферийным устройствам, без чего наглядно продемонстрировать практический эффект от процессора невозможно. Может оказаться так, что неэффективная реализация системной шины сведет на нет усилия по оптимизации процессорного ядра.

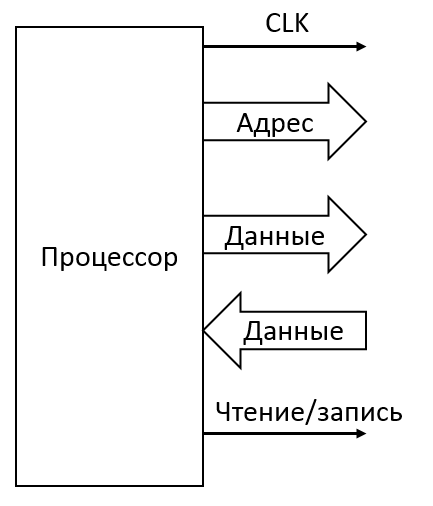
Современные микроконтроллеры обычно имеют в своем составе достаточно много периферийных устройств. Пример фрагмента документации, содержащего таблицу регистров управления, показан на рис. 13.1. Этот пример соответствует простому 8-разрядному микроконтроллеру, в более сложных микросхемах подобных регистров существенно больше. Добавить в систему команд процессора отдельные команды для всех действий с периферийными контроллерами крайне сложно и обычно неэффективно. Поэтому периферийные устройства подключаются к процессорному ядру с помощью небольшого набора сигналов, а обмен данными с ними производится с помощью команд in и out. Эти команды оперируют парой аргументов – адрес устройства и данные для него.



*Рис. 13.1. Регистры управления периферийными устройствами 8-разрядного микроконтроллера (фрагмент технической документации)*

Назначением системной шины является объединение отдельных компонентов процессорной системы и обеспечение взаимодействия между ними. Минимальный состав системной шины можно проиллюстрировать рис. 13.2. В целом системная шина подразделяется на шину адреса (ША), шину данных (ШД) и шину управления (ШУ). Конкретный состав сигналов и правила работы определяются многими факторами, с учетом широкого спектра системных шин и особенностей их назначения. Например, применявшаяся в ранних поколениях PC системная шина ISA использовала сигналы стробирования вместо тактового сигнала, 8-разрядную шину данных (с вариантом в 16 разрядов), и была предназначена для подключения внешних устройств с помощью плат расширения. Соответственно, скорость обмена по этой шине была невысокой.

Следует заранее разделить шины на внешние и накристальные. К внешним шинам предъявляются несколько иные требования, выполнение которых в пределах одного кристалла может оказаться нецелесообразным. Например, важным вопросом является реализация шины данных. В примере на рис. 13.2 используются две отдельные шины данных, отличающиеся направлением передачи. Вместе с тем для внешних шин данные обычно мультиплексированы, т.е. используется одна двунаправленная шина, переключающая направление передачи в соответствии с сигналами управления (чтение/запись).



*Рис. 13.2. Общий вид интерфейса простой системной шины*

Шина, показанная на рис. 13.2, не обеспечивает несколько часто используемых возможностей:

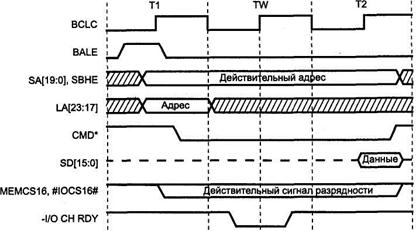
- предварительная проверка готовности устройства, к которому производится обращение (handshaking, «рукопожатие»);

- передача управления шиной другому устройству («захват шины»).

Эти возможности требуют введения дополнительных сигналов и будут рассмотрены далее.

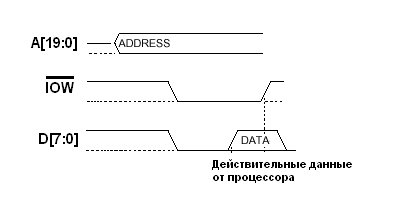
13.2. Некоторые виды системных шин в компьютерной технике.

В ранних поколениях персональных компьютеров IBM PC использовалась системная шина ISA. Ее основные сигналы и примерный вид временных диаграмм показаны на рис. 13.3.



*Рис. 13.3. Временные диаграммы системной шины ISA ранних модификаций IBM PC*

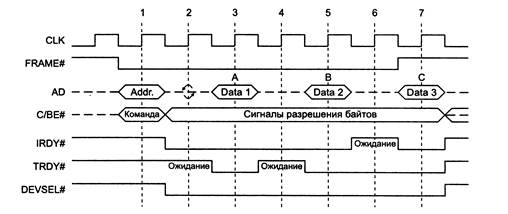
Передача данных по шине ISA производится асинхронно, под управлением сигналов чтения и записи. На рис. 13.4 показана временная диаграмма записи с основными сигналами шины. В момент положительного перепада сигнала IOW (Input-Output Write) шина адреса содержит адрес требуемого устройства, а шина данных – действительные данные от процессора для записи. Длительность логического нуля для сигнала IOW регламентирована в документации на шину и имеет гарантированное минимальное время действия, на которое может ориентироваться устройство, подключаемое к шине. Подразумевается, что быстродействие периферийного устройства позволяет ему за задаваемое стандартом время проверить адрес, сравнить его с адресами своих регистров, и при совпадении подать на вход Write Enable этого регистра разрешающий сигнал.



*Рис. 13.4. Временная диаграмма записи в шине ISA*

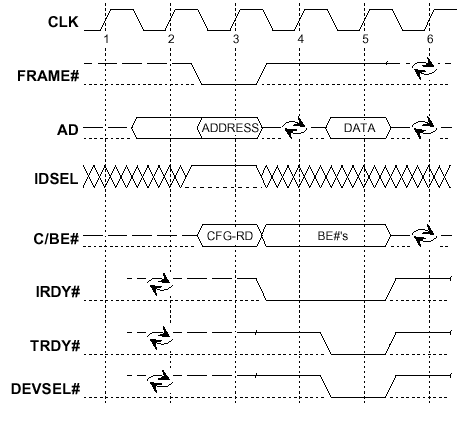
Шина ISA в настоящее время практически не используется в ПК, за исключением ее промышленного аналога PC-104, который имеет те же сигналы, но другой вид разъема. Быстродействие шины, управляемой сигналами IOW, IOR, ограничено тем, что для таких сигналов необходимо обеспечивать минимальную длительность, а при попытке передавать данные быстрее можно столкнуться с тем, что выпущенные ранее периферийные устройства не будут успевать реагировать на поданные сигналы адреса и своевременно формировать сигналы разрешения для своих регистров.

Дополнительные резервы повышения быстродействия обеспечивают синхронные шины. Например, шина PCI, долгое время используемая в ПК, имеет тактовый сигнал с частотой 33 МГц (или 66 МГц, если все подключенные периферийные устройства явным образом подтвердили поддержку такой частоты). Сигналы и временные диаграммы PCI показаны на рис. 13.5.



*Рис. 13.5. Временные диаграммы системной шины PCI*

Шина PCI обеспечивает более широкие возможности по сравнению с ISA. Например, периферийное устройство не обязано успевать проверить поданный адрес за один период тактового сигнала. Процесс работы шины показан на рис. 13.6.



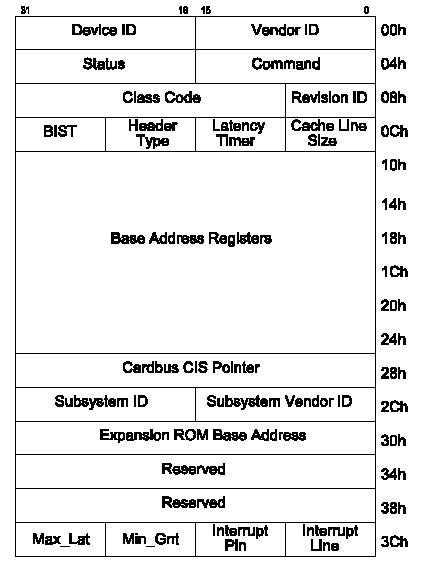
*Рис. 13.6. Временные диаграммы системной шины PCI*

Поскольку тактовый сигнал CLK действует постоянно, начало работы с устройством определяется по активному уровню сигнала #FRAME. Он имеет низкий активный уровень, т.е. «кадр» (frame) начинается, когда #FRAME становится равным 0. В этот момент на шине AD (Address/Data) присутствует адрес, а на шине C/BE# (Command/ Byte Enable) – 4-разрядный код команды. На первом такте кадра AD и C имеют именно эти значения (адрес и код команды), после чего они переключаются на передачу данных, сопровождаемых сигналами разрешения отдельных байтов (Byte Enable). Это позволяет передавать по 32-разрядной шине AD только один байт, если поставить в сигнале BE# активным только один бит.

Процесс передачи регулируется еще двумя сигналами - #IRDY (Initiator Ready, передатчик готов) и #TRDY (Target Ready, приемник готов). Если приемник не готов, контроллер PCI продолжает удерживать данные и сигнал IRDY. Как только он получает в ответ активный #TRDY, по следующему фронту тактового сигнала происходит передача данных.

Другой возможностью PCI является возможность конфигурирования устройств на шине. Для ранних версий ISA одной из проблем было возможное совпадение адресов нескольких периферийных устройств, вставляемых в разные слоты системной платы. Для этого производители предусматривали набор перемычек на плате, которые позволяли установить разные начальные («базовые») адреса блока регистров, которые присутствовали на подключаемой плате. Правильная настройка нескольких плат была важным шагом сборки компьютера.

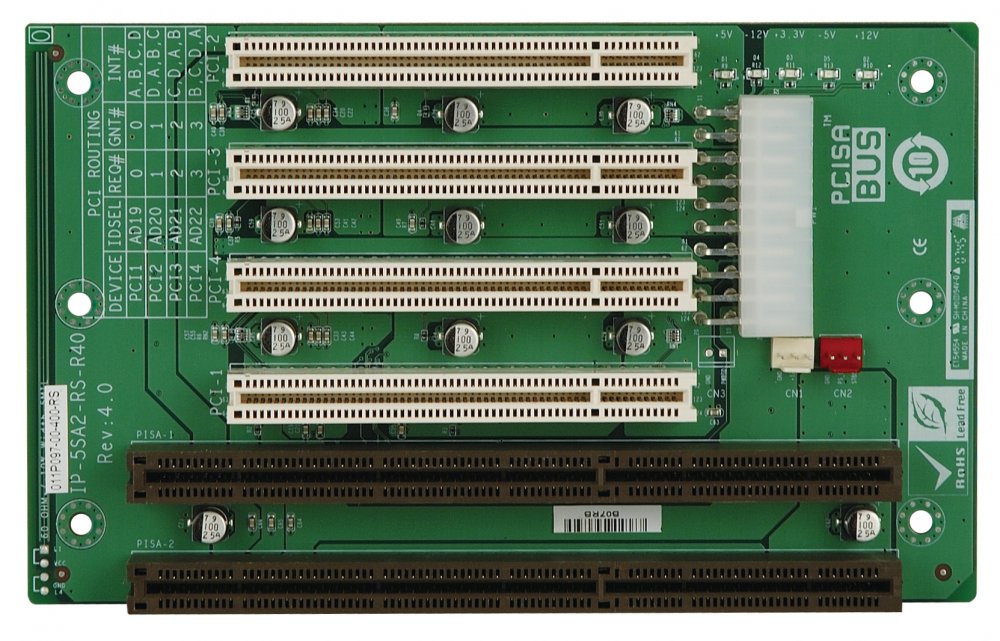
Для шины PCI реализована функция автоматического распределения адресов подключаемых устройств по неперекрывающимся диапазонам. Для этой цели каждое устройство PCI реализует специальный набор управляющих регистров, доступных по специальной команде. Для доступа к блоку этих регистров каждый слот PCI имеет независимый сигнал выбора. Состав регистров PCI показан на рис. 13.7.



*Рис. 13.7. Регистры периферийного устройства, подключаемого к шине PCI*

Базовым адресов блока регистров управляет регистр BAR (Base Address Register). В каждом устройстве PCI предусмотрено 6 таких регистров, что позволяет каждой плате PCI запрашивать не более 6 диапазонов адресов памяти или устройств ввода-вывода. При старте устройства каждый регистр BAR содержит код, соответствующий размеру запрашиваемой области памяти или регистров ввода-вывода, а BIOS системы записывает в этот регистр базовый адрес блока.

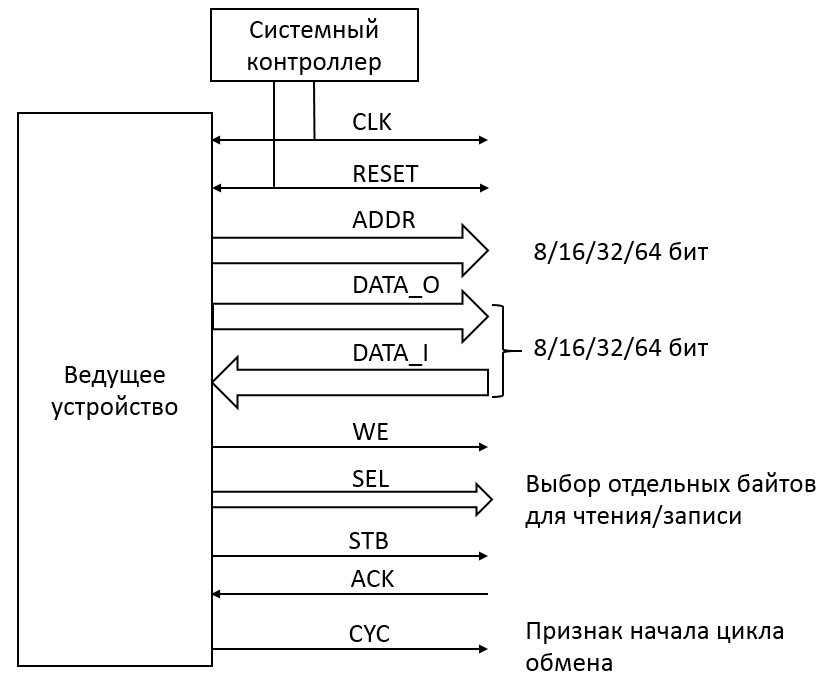
Шина PCI до сих пор встречается в системных платах. Внешний вид разъемов PCI показан на рис. 13.8.



*Рис. 13.8. Внешний вид разъемов системной шины PCI (сверху)*

Более современная шина PCI Express логически совпадает с PCI, т.е. имеет ту же структуру регистров. Однако вместо параллельной шины адреса-данных и сигналов управления PCI Express использует высокоскоростную дифференциальную пару (по одной в каждом направлении) для передачи пакета, содержащего адрес, данные и команды. Реализация PCI Express существенно сложнее, чем для обычных цифровых сигналов, поэтому не рассматривается в данном курсе.

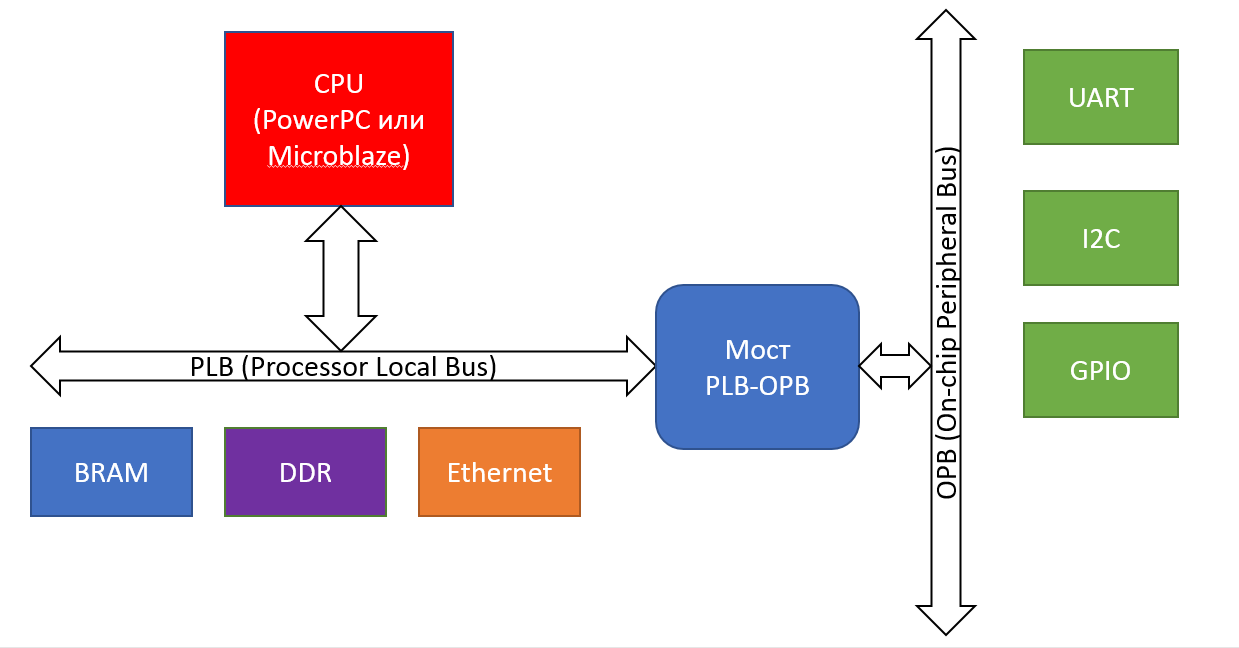
На рис. 13.9 показан интерфейс системной шины Wishbone, используемой в ряде микроконтроллеров и систем на кристалле. Эта шина является внутренней, поэтому использует отдельные шины для адреса и данных, причем шины данных на запись и чтение разделены.



*Рис. 13.9. Интерфейс системной шины Wishbone*

Как и в PCI, шина Wishbone имеет специальный сигнал, который становится активным в момент начала доступа к внешнему устройству, операция записи сопровождается сигналом we (write enable) и дополнительно сигналом sel (select) для сопровождения каждого из байтов. Реализован также механизм подтверждения готовности – ведущее устройство сигнализирует о готовности обмена сигналом stb (strobe), а ведомое устройство должно ответить сигналом ack (acknowledge).

В вычислительной системе можно использовать несколько шин. Часто нет практического смысла подключать медленное устройство (например, UART) к высокопроизводительной системной шине со сложным в реализации интерфейсом. Такая сложная шина может иметь подключенное устройство, которое при обращении к нему формирует сигналы более простой системной шины. Это устройство называется *мостом* (bridge). Пример применения моста показан на рис. 13.10. Системная шина процессора Processor Local Bus (PLB) для процессора IBM Power PC подключает мост PLB-OPB, соединяющий ее с более простой шиной On-Chip Peripheral Bus. К этой шине можно подключать широкий спектр устройств, которые не требуют высокой производительности при передаче данных.



*Рис. 13.10. Иллюстрация к понятию моста (bridge)*

13.3. Дополнительные возможности системных шин.

В вычислительной системе может возникнуть ситуация, когда инициатором обмена данными является не центральный процессор. Кроме других процессоров системы таким инициатором может быть и периферийное устройство, например, контроллер Ethernet. Можно передать большой блок данных из такого контроллера в память, сделав это быстрее, чем сделал бы процессор программным путем, в цикле читая и записывая данные. Для этого необходимо временно отключить центральный процессор от шины.

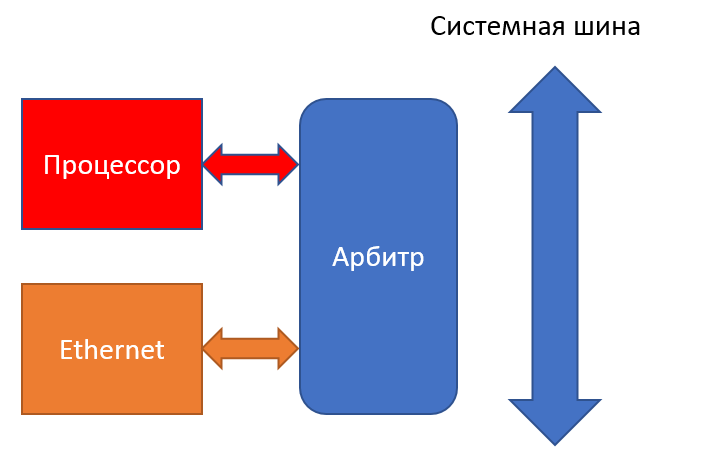
При необходимости управления работой системной шины от нескольких устройств требуется специальное устройство управления, которое и будет определять, какое именно устройство будет подключать свои сигналы к системной шине. В таких системах используется следующая терминология:

– ведущее устройство (master) – устройство, которое может инициировать обмен данными по системной шине, формируя сигналы адреса и управления, и принимая или передавая данные;

– ведомое устройство (slave) – устройство, которое наблюдает за сигналами адреса и управления, передавая или принимая данные по запросу;

– арбитр (arbiter) – устройство, которое определяет, какое именно ведущее устройство является в данный момент активным и может управлять системной шиной.

Пример подключения арбитра и нескольких ведущих устройств показан на рис. 13.11. Предполагается, что контроллер Ethernet используется в высокоскоростном режиме и способен сформировать поток данных с высокой интенсивностью. Поэтому, чтобы не занимать ресурсы процессора, этот контроллер самостоятельно подключается к системной шине и передает данные непосредственно в память, подключенную к ней.



*Рис. 13.11. Иллюстрация к понятию арбитра системной шины*

Проектирование арбитра системной шины также имеет свои особенности. Если ведущие устройства используют пакетную передачу данных, необходимо исключить ситуацию, когда цикл обмена будет неожиданно прерван, а управление шиной передано другому ведущему устройству. Такая же ситуация может возникнуть и в других случаях, когда цикл обмена занимает более одного такта.

Самым распространенным способом управления шиной является использование трехступенчатой схемы. При этом используется следующая последовательность:

1. Ведущее устройство, претендующее на работу с шиной, устанавливает сигнал запроса (обычно он обозначается REQ, от слова request).

2. Арбитр, анализируя состояние шины, выдает устройству сигнал подтверждения (GNT, от grant).

3. Ведущее устройство подтверждает захват шины и устанавливает сигнал LOCK (locked).

Пока ведущее устройство удерживает сигнал LOCK, арбитр не предоставляет доступ к шине другим ведущим устройствам. По завершению работы с шиной ведущее устройство снимает сигнал LOCK, и арбитр может предоставить доступ другому ведущему устройству.

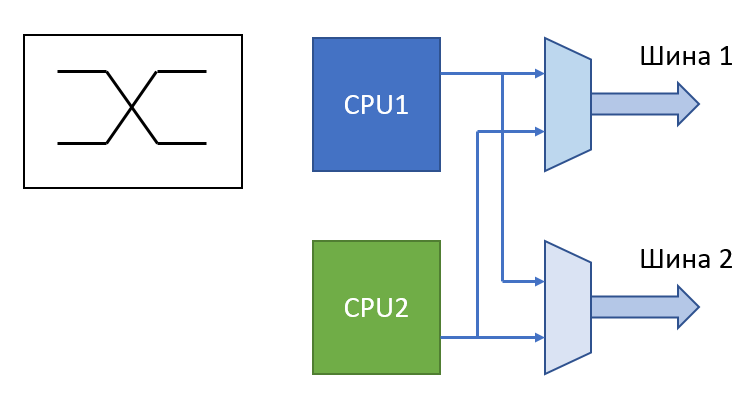
Порядок выбора ведущих устройств для доступа к шине является предметом отдельного рассмотрения. Если на шине находятся несколько ведущих устройств, простейшими способами выбора активного устройства являются доступ с фиксированным приоритетом и поочередный доступ.

При доступе с фиксированным приоритетом каждое из ведущих устройств подключается к соответствующему входу арбитра. Арбитр предоставляет доступ «верхнему» из всех устройств, дающих запросы на доступ. Если пронумеровать входы REQ, начиная с 0, то устройство номер 0 будет получать доступ с наивысшим приоритетом, т.е. захватывать шину, если она свободна, а устройство номер 1 – только если устройство номер 0 не претендует в этот момент на захват шины. Такой порядок работы чреват ситуациями, когда ведущие устройства с низким приоритетом будут получать доступ к системной шине слишком редко, что приведет к их простоям и снижению общей производительности. С другой стороны, правильный выбор приоритетов доступа будет способствовать своевременной обработке запросов от ведущих устройств, выполняющих наиболее критичные задачи.

Поочередный доступ к шине предусматривает, что ведущее устройство, получившее доступ, при освобождении шины перемещается в конец списка, и при очередном запросе наивысший приоритет будет иметь следующее за ним устройство. Такой подход способствует более равномерному распределению времени между претендентами на системную шину.

Возможны также промежуточные варианты – например, в зависимости от критичности выполняемых задач и интенсивности обмена некоторые устройства могут перемещаться не в конец списка, а в его середину, или в фиксированное место (получая таким образом 50% времени доступа). Вопросы проектирования арбитров системной шины нельзя считать до конца изученными и в этой области остается пространство для дальнейших практических работ.

Другим приемом при проектировании системной шины сложного вычислительного устройства является использование коммутатора (crossbar). Он представляет собой мультиплексор, обеспечивающий подключение к каждой из системных шин одного из процессоров. Условное обозначение такого узла на схеме и принцип реализации показаны на рис. 13.12.



*Рис. 13.12. Многослойная системная шина*

Назначение нескольких шин («слоев», layer) состоит в том, чтобы обеспечить независимый доступ отдельных процессоров к периферийным устройствам, если они в один и тот же момент времени обращаются каждый к своему устройству. Если бы системная шина была одна, то любой процессор заблокировал бы работу всех остальных процессоров, даже если им потребовалась бы очень простая операция. Если же в системе есть несколько слоев системной шины, то длительная операция одного процессорного ядра (например, пересылка данных из сетевого контроллера) не помешает второму ядру выполнять операции с UART, используя другой слой. Коммутатор нужен для того, чтобы периферийные устройства не были жестко привязаны каждое к определенному ядру, а могли при необходимости переключаться между процессорами.

Для каждого из слоев системной шины требуется подключение только одного процессора (хотя и необязательно, чтобы в каждый момент какой-то процессор осуществлял обмен данными по шине). Эта задача также решается арбитром, который в данном варианте несколько усложняется. Увеличение количества процессорных ядер и системных шин ведет к дальнейшему усложнению коммутаторов и схем предоставления доступа, поэтому такой подход к реализации многоядерных систем имеет свои естественные ограничения.

13.4. Выводы по разделу

Системная шина является важным элементом вычислительной системы, обеспечивающим подключение процессора к периферийным устройствам. Важность проектирования системной шины подчеркивается фундаментальной проблемой «стены памяти» / «стены периферии» - отставанием пропускной способности внешних интерфейсов по сравнению с достижимой производительностью вычислений процессорного ядра.

При проектировании шины существенно, является эта шина внешней (подключаемой к внешним выводам микросхемы), или внутренней (соединяющей компоненты системы на кристалле). Как правило, внутри микросхемы можно использовать больше сигналов и более высокую тактовую частоту, поэтому пропускная способность такой шины окажется выше.

Ряд технических приемов организации системной шины требуют отдельного рассмотрения. Например, реализация протокола рукопожатия (handshaking) необходима при явном требовании подключения медленных периферийных устройств, неспособных обеспечить работу на тактовой частоте системной шины. Количество слоев шины, порядок соединения, алгоритмы работы арбитра и другие вопросы являются предметом индивидуального рассмотрения при проектировании конкретной вычислительной системы.

Контрольные вопросы:

1. Какие основные сигналы имеет системная шина?

2. Как можно решить проблему подключения к системной шине периферийного устройства, которое заведомо медленнее процессорного ядра и не успевает подключиться к шине в течение одного периода тактового сигнала?

3. Как организовать использование одно и того же периферийного устройства двумя процессорными ядрами в составе одной микросхемы?

4. Модификации шины PCI предусматривают 32 или 64 разряда данных и тактовую частоту 33 МГц или 66 МГц. Можно ли увеличить пропускную способность PCI, переходя к 128 или 256 разрядам, и повышая тактовую частоту до 100, 150 МГц и выше?